

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

SEMICONDUCTOR DEVICE

Patent Number: JP8046186
Publication date: 1996-02-16
Inventor(s): TSUKAMOTO MASANORI
Applicant(s): SONY CORP
Requested Patent: JP8046186
Application Number: JP19940175526 19940727
Priority Number(s):
IPC Classification: H01L29/78; H01L21/28; H01L21/027; H01L21/3205
EC Classification:
Equivalents:

Citation 4

Abstract

PURPOSE: To prevent hydrogen from being diffused into a gate insulating film with an antireflection film constituted of an SiOn thin film being kept existing by letting a gate electrode include a titanium layer.
CONSTITUTION: On an Si substrate 1 where element isolation regions 2 and a gate insulating film 3 are formed, a gate electrode 9 which is constituted of a polysilicon layer 4, a Ti layer 5 and a titanium silicide layer 6 which is put between the other two layers 4 and 5 is formed. On the gate electrode 9, an antireflection film 7 constituted of an SiOn system thin film is deposited in the same pattern as the gate electrode 9. Due to this structure, a hot carrier resistance is remarkably increased compared with the conventional MOS transistor which has no Ti layer 5 in the gate electrode 9. Therefore, even if the antireflection films 7, 18 which are constituted of SiOn system thin films are kept existing, hydrogen is prevented by the Ti layer 5 included in the gate electrode 9 from reaching the gate insulating film 3.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-46188

(43) 公開日 平成8年(1996)2月16日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78				
21/027				
21/318	C			
			H 0 1 L 29/ 78	3 0 1 G
			21/ 30	5 7 4
審査請求 未請求 請求項の数9 O L (全 11 頁) 最終頁に続く				

(21) 出願番号 特願平6-177055

(22) 出願日 平成6年(1994)7月28日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 牛腸 哲雄

東京都品川区北品川6丁目7番35号 ソニー株式会社内

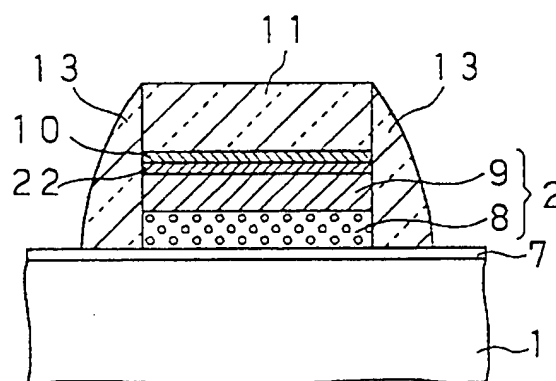
(74) 代理人 弁理士 小池 晃 (外2名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【構成】 Si基板1上に、酸化シリコン系材料よりなるゲート絶縁膜7、ゲート電極2、SiON系薄膜よりなる反射防止膜10が形成されてなるMOS型トランジスタにおいて、ゲート電極2のパターニングに際して用いられた反射防止膜10とゲート酸化膜7との間、即ちゲート電極2上に、ゲート電極2と共通パターンをもって水素透過防止膜22が設けられる。なお、該水素透過防止膜22は、LP-CVD法によって成膜されたSiN系薄膜よりなる。

【効果】 SiON系薄膜から拡散する水素がゲート酸化膜へ到達しにくいため、MOS型トランジスタのホットキャリア耐性が向上する。また、製造に際して、SiON系薄膜の除去工程が削減でき、また、次のフォトリソグラフィにも使用できることから生産性にも優れている。このため、非常に信頼性の高い半導体装置が、大幅なコスト上昇を伴わずに提供可能である。



【特許請求の範囲】

【請求項1】 基板上に、少なくとも、ゲート絶縁膜、ゲート電極、酸化シリコン系薄膜、上層配線が形成されてなる半導体装置において、前記ゲート絶縁膜と前記酸化シリコン系薄膜との間に、水素透過防止膜が設けられてなることを特徴とする半導体装置。

【請求項2】 前記ゲート絶縁膜が酸化シリコン系材料膜であることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記酸化シリコン系薄膜は、前記ゲート電極をパターニングする際の反射防止膜であり、該ゲート電極と共通パターンをもって積層されてなることを特徴とする請求項1または請求項2記載の半導体装置。

【請求項4】 前記水素透過防止膜が、前記ゲート電極と共通パターンをもって該ゲート電極上に設けられていることを特徴とする請求項3記載の半導体装置。

【請求項5】 前記酸化シリコン系薄膜は、前記上層配線をパターニングする際の反射防止膜であり、該上層配線と共通パターンをもって積層されてなることを特徴とする請求項1または請求項2記載の半導体装置。

【請求項6】 前記水素透過防止膜が、前記ゲート電極を被覆するごとく設けられることを特徴とする請求項5記載の半導体装置。

【請求項7】 前記水素透過防止膜が、前記ゲート電極と前記上層配線との間の層間絶縁膜として設けられていることを特徴とする請求項6記載の半導体装置。

【請求項8】 前記水素透過防止膜が、LPCVD法によって成膜された酸化シリコン系薄膜であることを特徴とする請求項1ないし請求項7のいずれか1項に記載の半導体装置。

【請求項9】 前記水素透過防止膜が、高密度プラズマCVD法によって成膜された酸化シリコン系薄膜であることを特徴とする請求項1ないし請求項7のいずれか1項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、反射防止膜として酸化シリコン(SiON)系薄膜を用いてパターニングがなされた半導体装置に関し、特にSiON系薄膜に含有される水素による電気特性の劣化が防止されたものである。

【0002】

【従来の技術】 半導体装置の配線材料としては、アルミニウム(Al)系合金や高融点金属シリサイド等が広く用いられているが、これらの光反射率の高い材料層の表面には、フォトリソグラフィの精度を向上させる目的で反射防止膜を設けることが必須となりつつある。これは、半導体装置のデザイン・ルールの微細化に伴ってフォトリソグラフィに対する露光波長が短波長側へシフトし、しかもパターン寸法がその露光波長に近づいている

ため、光反射率の高い材料層の上では安定した解像を達成することが困難となっているからである。

【0003】 特にエキシマ・レーザ光のように単色性の強い露光光源を用いた場合、反射防止膜を設けないと、定在波効果が強く現れてレジスト・パターンの変形が生じたり、得られる配線パターンの線幅が変動しやすくなる。

【0004】 反射防止膜としては、その光学定数を任意に設定できることから、SiON系薄膜を用いることが注目されている。このSiON系薄膜は、例えばプラズマを用いた化学気相成長(CVD)法によって成膜することができ、膜中の原子組成比を変化させることによって、光学定数の制御が行えることから、上記エキシマ・レーザ光を用いたフォトリソグラフィへの適用も可能である。

【0005】 ここで、フォトリソグラフィに際して用いられたSiON系薄膜よりなる反射防止膜が存続された半導体装置として、負荷用の薄膜トランジスタ(TFT)のゲート電極と記憶ノードとの接続が自己整合的に開口されたコンタクト・ホールを介してなされたSRAMを図9に示す。このSRAMは、シリコン(Si)基板1上の隣接する2つのゲート電極2間にてSiO系層間絶縁膜3にコンタクト・ホール4が自己整合的に開口され、該コンタクト・ホール4を埋め込みながらポリシリコン配線層6が成膜されることによって、Si基板1とポリシリコン配線層6とが電気的に接続するものである。図示されていないが、このSRAMにおいては、ゲート電極2のパターニングに用いられた反射防止膜が存続されている。

【0006】 以下、図9～図11を用いて、反射防止膜が用いられたプロセスについて説明する。まず、図10に示されるように、Si基板1上に熱酸化によってゲート絶縁膜7を形成した後、続いて、ポリシリコン層8、タングステンシリサイド層9を成膜し、該タングステンシリサイド層9上に反射防止膜10を成膜してから、オフセット酸化膜11を成膜し、さらに、フォトリソグレイド塗膜12を形成する。そして、反射防止膜10によりタングステンシリサイド層9からの強い反射光を防止しながら、フォトリソグレイド塗膜12の選択露光を行う。その後、現像処理を経て形成されたフォトリソグレイド・パターンをマスクとして、オフセット酸化膜11、反射防止膜10、タングステンシリサイド層9、ポリシリコン層8を順にエッチングすることによって、図11に示されるように、ゲート電極2が所望形状にパターニングされる。

【0007】 その後、サイドウォール13、SiO系層間絶縁膜3を形成し、隣接するゲート電極2間に自己整合的にコンタクト・ホール4を開口し、該コンタクト・ホール4を埋め込みながらポリシリコン配線層6を成膜させ、さらに該ポリシリコン配線層6のパターニングを

行うことにより、図9に示されたSRAMとなる。

【0008】なお、これらゲート電極2形成後の工程においても、フォトリソグラフィを行うに際しては、タングステンシリサイド層9からの反射光が防止されていることが好ましく、先に形成されたゲート電極2上の反射防止膜10が役立っている。

【0009】そして、以上のような構成を有するSRAMにおいては、さらに上層配線を形成するに際しても、SiON系薄膜よりなる反射防止膜が用いられる。具体的には、先ず、図12に示されるように、ポリシリコン配線層6を被覆してSiO系層間絶縁膜14を形成し、該SiO系層間絶縁膜14にビア・ホール15を開口し、該ビア・ホール15を埋め込みながら全面に亘ってAl配線層17を成膜した後、該Al配線層17をパターンニングするに際して反射防止膜18を用いる。

【0010】即ち、Al配線層17の成膜後、フォトレジスト塗膜19を塗布する前に反射防止膜18を成膜しておくことにより、Al配線層17からの強い反射光が防止された状態にて、フォトレジスト塗膜19の選択露光が行え、この結果、Al配線層17を所望の配線形状にパターンニングできる。なお、該Al配線層17とポリシリコン配線層6とは、ビア・ホール15に埋め込まれたAlプラグ16によって電氣的に接続される。

【0011】さらに、上述のようにしてパターンニングされたAl配線層17上にさらに配線を形成する場合にも、やはり反射防止膜が必要となる。即ち、図13に示されるように、上記Al配線層17を被覆して形成されたSiO系層間絶縁膜20にビア・ホールを開口する場合にも、フォトレジスト塗膜21の選択露光時に、Al配線層17からの強い反射光が防止されている必要があるからである。このため、Al配線層17上の反射防止膜18を、Al配線層17のパターンニング後にも存続させておき、フォトレジスト塗膜21の選択露光に際して再び用いる。

【0012】以上のように、このSRAMの製造プロセスにおいては、フォトレジスト塗膜12、19、21の選択露光に際して、SiON系薄膜よりなる反射防止膜10、18が下層からの反射光の影響を抑制している。

【0013】

【発明が解決しようとする課題】ところで、上述のようにして製造されたウェハにおいては、ゲート電極2上、Al配線層17上に、それぞれ反射防止膜10、18として、SiON系薄膜が存続された状態となっている。このSiON系薄膜には、20%程度もの水素が含まれており、該反射防止膜10、18が成膜された後、不純物の活性化アニールやパッシベーション等の工程において熱が加えられることにより、水素が周囲へ拡散するといった現象が起こる。そして、このようにして拡散した水素がゲート絶縁膜7にまで達すると、いわゆるホットキャリア耐性を劣化させる虞れがある。

【0014】これを防止するには、反射防止膜を使用する度に、これをエッチング除去することが考えられるが、反射防止膜とその直下の材料層との選択比がとれなかったり、同一の反射防止膜を1回しか使用することができないため、フォトリソグラフィを行う度に反射防止膜の成膜工程を要することになるといった問題もある。

【0015】そこで本発明は、かかる従来の実情に鑑みて提案されたものであり、SiON系薄膜よりなる反射防止膜を存続させたままでも、ゲート絶縁膜への水素の拡散が防止できる構造を有する半導体装置を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明に係る半導体装置は、上述の目的を達成するために提案されたものであり、基板上に、少なくとも、ゲート絶縁膜、ゲート電極、SiON系薄膜、上層配線が形成されてなる半導体装置において、ゲート絶縁膜とSiON系薄膜との間に、水素透過防止膜が設けられてなるものである。特に、Si基板上にSiO系材料膜よりなるゲート絶縁膜が形成されている場合に、上述のごとく水素透過防止膜が設けられて好適である。

【0017】SiON系薄膜をプラズマCVDにて成膜すると、原料ガスの流量比に基づいてその原子組成比を調整できるため、その光学定数を制御することができる。このため、SiON系薄膜を反射防止膜として設けると、下地材料層や使用する露光光に応じた最適な露光が行える。

【0018】特に、ゲート電極を微細にパターンニングするためのフォトリソグラフィに際しては、ゲート電極を構成する材料層からの反射光を防止するために、反射防止膜としてSiON系薄膜が設けられる。そして、この反射防止膜をフォトリソグラフィ後も存続させれば、該反射防止膜はゲート電極と共通パターンをもって積層されることとなる。

【0019】この場合、該反射防止膜から拡散してくる水素をゲート絶縁膜に到達させないためには、ゲート電極と共通パターンをもって該ゲート電極上、且つ、反射防止膜下に水素透過防止膜が設けられて好適である。なお、ゲート電極の側面を被覆するサイドウォールが設けられる場合には、該サイドウォールにも水素透過を防止できる機能を持たせるとさらに効果的である。

【0020】また、上層配線のパターンニングするためのフォトリソグラフィに際しても、Al等の光反射率の高い上層配線からの強い反射光を防止するために、反射防止膜としてSiON系薄膜が設けられる。そして、この反射防止膜をフォトリソグラフィ後も存続させれば、該反射防止膜は上層配線と共通パターンをもって積層されることとなる。なお、上層配線上にさらに層間絶縁膜を設け、該層間絶縁膜のパターンニングのためのフォトリソグラフィを行うならば、前記上層配線上に存続する反射

防止膜によって、再び上層配線からの反射光を防止することができる。

【0021】このように上層配線上に反射防止膜が積層されている場合、反射防止膜の形成範囲は必ずしもゲート電極の形成範囲とは同一でなく、該上層配線が存在するあらゆる方向からゲート絶縁膜へ向かって反射防止膜に含有されていた水素が拡散してくることとなる。このため、水素透過防止膜は、あらゆる方向からの水素透過を防止できるように、ゲート電極を被覆するごとく設けられて好適である。

【0022】ところで、前記水素透過防止膜は、LPCVD法によって成膜されたSiN系薄膜、または、高密度プラズマCVD法によって成膜されたSiO系薄膜であることが好ましい。これらの薄膜は、非常に緻密な膜として成膜できるため、水素の透過を防止できる。なお、高密度プラズマCVD法としては、有磁場マイクロ波プラズマ(ECR)CVD法、ヘリコン波プラズマCVD法、誘導結合プラズマ(ICP)CVD法が挙げられる。

【0023】なお、水素透過防止膜をゲート電極と共通パターンをもってゲート電極上に形成するには、ゲート電極を構成する例えばポリシリコン層およびタングステンシリサイド層を成膜後、続けて、上述の方法のいずれかによって水素透過防止膜を成膜し、さらに反射防止膜を成膜してから、フォトリソグラフィおよびエッチングを行い、所望形状にゲート電極のパターニングを行えばよい。

【0024】また、水素透過防止膜をゲート電極を被覆するごとく設けるには、ゲート電極の形成後、あるいは、オフセット酸化膜やサイドウォールにて該ゲート電極を被覆するならばこれらを形成後、LPCVD法にてSiN系薄膜を全面に亘って成膜するか、あるいは、層間絶縁膜として、高密度プラズマCVD法によってSiO系薄膜を成膜するとよい。

【0025】

【作用】本発明に係る半導体装置においては、水素透過防止膜が設けられることにより、SiON系薄膜から拡散する水素がゲート絶縁膜へ到達しにくくなされている。このため、従来の半導体装置に比して、ホットキャリア耐性を大幅に向上させることができる。

【0026】特に、SiON系薄膜がゲート電極のパターニングに際して用いられ、その後も存続されている場合、ゲート絶縁膜に非常に近い位置にて水素の拡散が起こることとなるが、該SiON系薄膜よりも下方にゲート電極と共通パターンを有する水素透過防止膜が設けられることにより、ホットキャリア耐性の劣化を防ぐことができる。

【0027】これは、Si基板において実際にチャンネルとなるのは、ゲート電極のエッジよりもさらに内側の領域であり、この領域上のゲート絶縁膜への水素の到達が

防がれれば、ホットキャリア耐性の劣化が抑制できるからである。即ち、SiON系薄膜がゲート電極と共通パターンにて存続する場合には、同様にこれと共通パターンを有する水素透過防止膜により、少なくともゲート電極が形成されている領域におけるゲート絶縁膜への水素到達が防止できるからである。

【0028】また、SiON系薄膜が上層配線のパターニングに際して用いられ、その後も存続されている場合、上層配線が存在するあらゆる方向からゲート絶縁膜へ向かって反射防止膜に含有されていた水素の拡散が起こることとなるが、ゲート電極を被覆するごとく水素透過防止膜を設けることにより、ホットキャリア耐性の劣化を防ぐことができる。

【0029】これは、水素透過防止膜がゲート電極を被覆するごとく設けられることにより、ゲート絶縁膜も該水素透過防止膜によって被覆されるため、どの方向から水素が拡散してきてもゲート絶縁膜への到達を防止するためである。

【0030】なお、層間絶縁膜に水素透過防止膜としての機能を持たせる場合には、工程数の増加を伴わない。

【0031】上述したような水素透過防止膜として、LPCVD法によって成膜されたSiN系薄膜、高密度プラズマCVD法によって成膜されたSiO系薄膜を用いると、これらが非常に緻密な膜であるために、水素の透過防止効果が高く、半導体装置の信頼性が向上する。

【0032】

【実施例】以下、本発明を適用した具体的な実施例について、図面を参照しながら説明する。

【0033】実施例1

本実施例は、MOS型トランジスタに本発明を適用したものであり、ゲート電極のパターニングに用いられた反射防止膜から拡散する水素をゲート絶縁膜に到達させないために、反射防止膜の下層、且つ、ゲート電極の上層に、該ゲート電極と共通パターンをもって水素透過防止膜が成膜されてなるものである。

【0034】このMOS型トランジスタの一部を図1に示す。ゲート電極2は、Si基板1上のゲート絶縁膜7の上に形成されてなり、ポリシリコン層8およびタングステンシリサイド層9よりなる。そして、該ゲート電極2上にはSiN系薄膜よりなる水素透過防止膜22、SiON系薄膜よりなる反射防止膜10、酸化シリコンよりなるオフセット酸化膜11が順に設けられており、その側面はサイドウォール13にて被覆されている。

【0035】このようなMOS型トランジスタについて、電気特性の測定を行ったところ、従来のMOS型トランジスタに比して大幅にホットキャリア耐性が向上した。これは、SiON系薄膜よりなる反射防止膜10が存続されているにもかかわらず、水素透過防止膜22によって、少なくともゲート電極2直下のゲート絶縁膜7へは水素の到達が防止されたためである。

7

【0036】以下、上述のような構成を有するウェハの製造プロセスについて、図2、図3を参照しながら説明する。先ず、図2に示されるように、Si基板1上に熱酸化によりゲート絶縁膜7を形成した後、ポリシリコン層8、タングステンシリサイド層9、水素透過防止膜22、反射防止膜10、オフセット酸化膜11をそれぞれCVD法によって成膜した。なお、水素透過防止膜22および反射防止膜10の成膜は下記の条件にて行った。

【0037】水素透過防止膜の成膜条件

成膜装置 : LP-CVD装置

原料ガス : SiH₄ : Cl₂ : 50 sccm

NH₃ : 200 sccm

温度 : 760℃

圧力 : 70 Pa

反射防止膜の成膜条件

成膜装置 : 平行平板型プラズマCVD装置

原料ガス : SiH₄ : 50 sccm

NO₂ : 50 sccm

温度 : 360℃

圧力 : 333 Pa

RF電力 : 190 W

電極間距離 : 1 cm

その後、上述のウェハに対してフォトレジスト塗膜12を全面に亘って塗布し、反射防止膜10によりタングステンシリサイド層9からの強い反射光を防止しながら、フォトレジスト塗膜12の選択露光を行った。続いて、現像処理を施すことによりフォトレジスト塗膜12を所望の形状にパターニングし、これをマスクとして、オフセット酸化膜11、反射防止膜10、水素透過防止膜22、タングステンシリサイド層9、ポリシリコン層8をエッチングした。これにより、図3に示されるように、所望形状のゲート電極2が形成され、該ゲート電極2上では水素透過防止膜22、反射防止膜10、オフセット酸化膜11がゲート電極と共通パターンにパターニングされた。

【0038】続いて、SiO系材料層をウェハの全面に亘って成膜し、異方性エッチングを行うことにより、ゲート電極2から水素透過防止膜22、反射防止膜10、オフセット酸化膜11に亘る側面にサイドウォール13を形成し、図1に示すようなウェハを製造した。なお、MOS型トランジスタを完成させるための後工程についての説明は省略するが、従来公知の方法にしたがって、不純物の拡散および活性化、上層配線の形成等を行った。

【0039】実施例2

本実施例は、負荷用TFTのゲート電極と記憶ノードとが、Si基板上のSiO系層間絶縁膜に自己整合的に開口されたコンタクト・ホールによって接続されてなる多層配線構造のSRAMに本発明を適用したものであり、上層配線のパターニングに用いられた反射防止膜から拡

8

散する水素をゲート絶縁膜に到達させないために、ゲート電極を被覆するごとく水素透過防止膜が設けられたものである。

【0040】このSRAMの部分断面を図4に示す。実施例1と同様にして設けられた隣接する2つのゲート電極2は、オフセット酸化膜11やサイドウォール13によって被覆され、この2つのゲート電極2の間には、自己整合的にコンタクト・ホール4が形成されており、オフセット酸化膜11やサイドウォール13の周囲にはSiN系薄膜よりなる水素透過防止膜23が形成されている。

【0041】そして、この上方にはSiO系層間絶縁膜3、ポリシリコン配線層6、SiO系層間絶縁膜14、Al配線層17、SiON系薄膜よりなる反射防止膜18が順に積層されている。なお、Si基板1とポリシリコン配線層6とは、2つのゲート電極2間に開口したコンタクト・ホール4に埋め込まれたポリシリコンプラグ5により電氣的に接続され、上記ポリシリコン配線層6とAl配線層17とは、ビア・ホール15に埋め込まれたAlプラグ16によって電氣的に接続されている。

【0042】このような構成を有するSRAMについて、電気特性の測定を行ったところ、従来のSRAMに比して大幅にホットキャリア耐性が向上した。これは、SiON系薄膜よりなる反射防止膜18が存続されているにもかかわらず、水素透過防止膜23がゲート絶縁膜7の上方のみならず側方をも覆っているため、ゲート絶縁膜7へ向かう全ての水素の透過が防止され、ゲート絶縁膜7への水素の到達が起こらなかったからである。

【0043】ここで、このような構成を有するウェハの製造プロセスについて、図5、図6を用いて説明する。先ず、実施例1に示したようにして、オフセット酸化膜11やサイドウォール13に被覆された隣接する2つのゲート電極2を形成した後、SiN系薄膜よりなる水素透過防止膜23を全面に亘って成膜した。なお、水素透過防止膜23の成膜は、実施例1にてタングステンシリサイド層9上に設けた水素透過防止膜22と同様の成膜条件にて行った。

【0044】その後、図5に示されるように、隣接する2つのゲート電極2間にてSiO系層間絶縁膜3にコンタクト・ホール4を開口し、Si基板1に電氣的に接続するポリシリコン配線層6を形成した。具体的には、SiO系層間絶縁膜3を全面に亘って成膜した後、図示しないフォトレジスト塗膜を形成して、該フォトレジスト塗膜に、隣接する2つのゲート電極2間の距離よりも大きな開口パターンを形成した。そして、このフォトレジスト・パターンをマスクとして、SiO系層間絶縁膜3を水素透過防止膜23との選択比をとりながらエッチングして、自己整合的にコンタクト・ホール4を開口した。次いで、該コンタクト・ホール4を埋め込みながらポリシリコン配線層6を成膜し、さらに該ポリシリコン

配線層6のバターニングを行って所望の配線形状とした。これにより、Si基板1とポリシリコン配線層6とが、コンタクト・ホール4に埋め込まれたポリシリコンプラグ5によって電氣的に接続された。

【0045】次に、図6に示されるように、上記ポリシリコン配線層6に電氣的に接続するAl配線層17を形成した。具体的には、上記ポリシリコン配線層6を被覆してSiO系層間絶縁膜14を形成し、該SiO系層間絶縁膜14にビア・ホール15を開口した後、該ビア・ホール15を埋め込みながら、全面に亘ってAl配線層17を成膜した。さらにSiON系薄膜よりなる反射防止膜18を成膜し、フォトレジスト塗膜19を塗布して、該Al配線層17からの強い反射光を防止しながら、選択露光を行い、続いて現像処理することによって該フォトレジスト塗膜19を所望形状にバターニングした。その後、該フォトレジスト塗膜19をマスクとして、反射防止膜18およびAl配線層17をエッチングして、所望の配線形状にバターニングした。これにより、ポリシリコン配線層6と所望形状のAl配線層17とが、ビア・ホール15に埋め込まれたAlプラグ16によって電氣的に接続された。

【0046】以上のようにして、図4に示されたウェハが製造できた。上記Al配線層17上の反射防止膜18は除去されてもよいが、工程数を増加させることになる。また、図7に示されるように、ウェハ上にSiO系層間絶縁膜20を形成し、該SiO系層間絶縁膜20にビア・ホールを開口するためのバターニングを行う場合、該SiO系層間絶縁膜20上に塗布されたフォトレジスト塗膜21を選択露光するに際して、Al配線層17からの強い反射光が防止されている必要があり、反射防止膜18を存続させておくことにより、再度用いることができる。このため、本実施例においては、反射防止膜18を存続させた。

【0047】実施例3

本実施例も多層配線構造のSRAMに本発明を適用したものであり、上層配線のバターニングに用いられた反射防止膜から拡散する水素をゲート絶縁膜に到達させないために、ゲート絶縁膜よりも上方に設けられた層間絶縁膜に水素透過防止膜としての機能を持たせたものである。

【0048】このSRAMの部分断面を図8に示すように、水素透過防止膜23が設けられず、SiO系層間絶縁膜3の代わりに水素透過防止層間絶縁膜24が設けられた以外は、実施例2と同様の構成を有している。

【0049】以上のような構成を有するSRAMについて、電気特性の測定を行ったところ、従来のSRAMに比して大幅にホットキャリア耐性が向上した。これは、SiON系薄膜よりなる反射防止膜18が存続されているにもかかわらず、水素透過防止層間絶縁膜24がゲート絶縁膜7の上方のみならず一方の側方をも覆っている

ため、ゲート絶縁膜7へ向かう殆どの水素の透過が防止され、ゲート絶縁膜7への水素の到達が起りにくかったためである。

【0050】このような構成を有するウェハを製造するには、先ず、実施例1に示したようにして、オフセット酸化膜11やサイドウォール13に被覆された隣接する2つのゲート電極2を形成した後、水素透過防止層間絶縁膜24を全面に亘って成膜した。なお、水素透過防止層間絶縁膜24の成膜は下記の条件にて行った。

【0051】水素透過防止層間絶縁膜の成膜条件

成膜装置 : ECR-CVD装置

原料ガス : SiH₄ 50 sccm

O₂ 1000 sccm

マイクロ波電力 : 1000W

RFバイアス電力 : 500W

圧力 : 1×10^{-3} torr

その後、実施例2と同様にして、2つのゲート電極2間にて、Si基板1と電氣的に接続するポリシリコン配線層6を形成し、さらに、該ポリシリコン配線層6に電氣的に接続するAl配線層17を形成した。

【0052】以上のようにして、図8に示されたウェハが製造できた。このウェハにおいても、Al配線層17のバターニング後、該Al配線層17を被覆して設けられるSiO系層間絶縁膜にビア・ホールを開口するためのバターニングに際しても上記反射防止膜18を再度使用できることから、該反射防止膜18を存続させたままとした。

【0053】以上、本発明に係る半導体装置を適用した具体例について説明したが、本発明は上述の実施例に限定されるものではなく、種々の変形変更が可能である。例えば、実施例1においては、サイドウォール13を常法に従って形成したが、このサイドウォール13をLP-CVD法にて成膜されたSiN系材料層や、高密度プラズマCVD法にて成膜されたSiO系材料層から構成すれば、ゲート絶縁膜7に向かって横方向から拡散してくる水素の透過を防止することもできる。また、実施例2および実施例3においては、ゲート電極2上に水素透過防止膜22が設けられている上に、さらに水素透過防止膜23または水素透過防止層間絶縁膜24が設けられてなるが、ゲート電極2のパターン寸法が大きく、該ゲート電極2のバターニングに際して反射防止膜10を必要としない場合には、該ゲート電極2上の水素透過防止膜22が設けられなくともよい。また、ウェハの構成や各材料層の成膜条件も上述した実施例に限られない。

【0054】

【発明の効果】以上の説明から明らかなように、本発明に係る半導体装置においては、SiON系薄膜から拡散する水素がゲート絶縁膜へ到達しにくい。このため、従来の半導体装置に比してホットキャリア耐性が大幅に向上する。

11

【0055】また、本発明の半導体装置においては、上述したようにSiON系薄膜の存続によるホットキャリア耐性の劣化が防がれているため、該半導体装置を製造するに際して、SiON系薄膜の除去工程を削減できる。また、SiON系薄膜を存続させることにより、該SiON系薄膜を次のフォトリソグラフィにも使用することができ、生産性にも優れている。

【0056】したがって、本発明を適用すると、非常に信頼性の高い半導体装置が、大幅なコスト上昇を伴わずに提供可能となり、工業的価値が極めて高い。

【図面の簡単な説明】

【図1】ゲート電極のパターニングに用いた反射防止膜から拡散する水素をゲート絶縁膜へ到達させない構造を有する本発明の半導体装置の一構成例を示す模式的断面図である。

【図2】図1のウェハの製造プロセスを示すものであり、タングステンシリサイド層上に水素透過防止膜を成膜してから、反射防止膜、オフセット酸化膜、フォトレジスト塗膜が形成された状態を示す模式的断面図である。

【図3】図2のウェハにおいて、ゲート電極のパターニングが行われた状態を示す模式的断面図である。

【図4】上層配線のパターニングに用いた反射防止膜から拡散する水素をゲート絶縁膜へ到達させない構造を有する本発明の半導体装置の一構成例を示す模式的断面図である。

【図5】図4のウェハの製造プロセスを示すものであり、ゲート電極を被覆するオフセット酸化膜およびサイドウォール上に水素透過防止膜が成膜され、基板とポリシリコン配線層とが電気的に接続された状態を示す模式的断面図である。

【図6】図5のウェハにおいて、ポリシリコン配線層に電気的に接続するAl配線層が形成され、該Al配線層のパターニングのためにフォトレジスト塗膜が形成された状態を示す模式的断面図である。

【図7】図6のウェハにおいて、Al配線層上のSiO系層間絶縁膜にビア・ホールを開口するためにフォトレジスト塗膜が形成された状態を示す模式的断面図である。

12

【図8】上層配線のパターニングに用いた反射防止膜から拡散する水素をゲート絶縁膜へ到達させない構造を有する半導体装置の他の構成例を示す模式的断面図である。

【図9】従来の半導体装置の一構成例を示す模式的断面図である。

【図10】図9のウェハの製造プロセスを示すものであり、タングステンシリサイド層に反射防止膜が成膜された後、オフセット酸化膜、フォトレジスト塗膜が形成された状態を示す模式的断面図である。

【図11】図10のウェハにおいて、ゲート電極のパターニングが行われた状態を示す模式的断面図である。

【図12】図9のウェハにおいて、ポリシリコン配線層に電気的に接続するAl配線層が形成され、該Al配線層のパターニングのためにフォトレジスト塗膜が形成された状態を示す模式的断面図である。

【図13】図12のウェハにおいて、Al配線層上のSiO系層間絶縁膜にビア・ホールを開口するためにフォトレジスト塗膜が形成された状態を示す模式的断面図である。

【符号の説明】

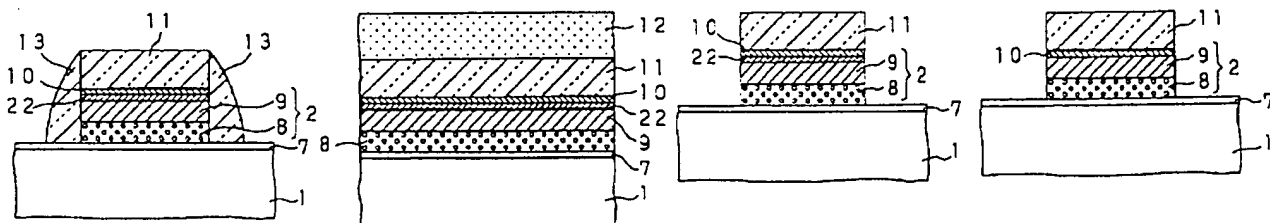
- 1 Si基板
- 2 ゲート電極
- 3, 14, 20 SiO系層間絶縁膜
- 4 コンタクト・ホール
- 5 ポリシリコンプラグ
- 6 ポリシリコン配線層
- 7 ゲート絶縁膜
- 8 ポリシリコン層
- 9 タングステンシリサイド層
- 10, 18 反射防止膜
- 11 オフセット酸化膜
- 12, 19, 21 フォトレジスト塗膜
- 13 サイドウォール
- 15 ビア・ホール
- 16 Alプラグ
- 17 Al配線層
- 22, 23 水素透過防止膜
- 24 水素透過防止層間絶縁膜

【図1】

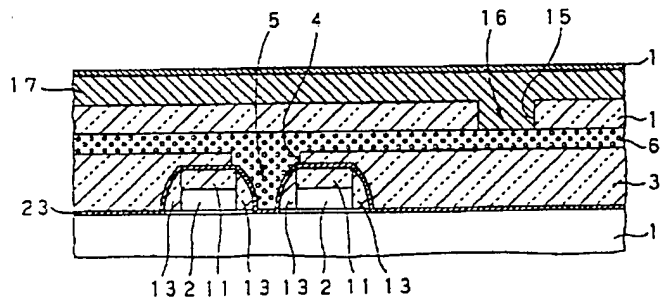
【図2】

【図3】

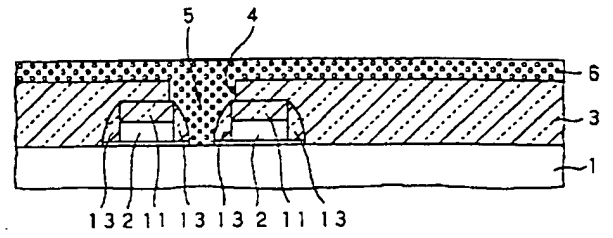
【図11】



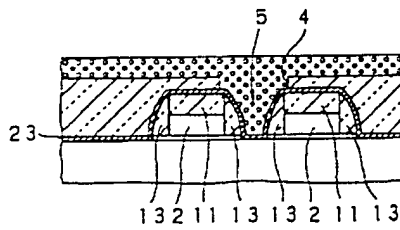
【図4】



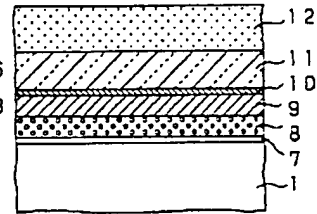
【図9】



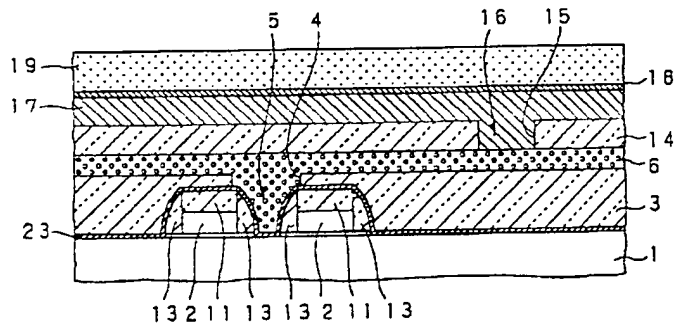
【図5】



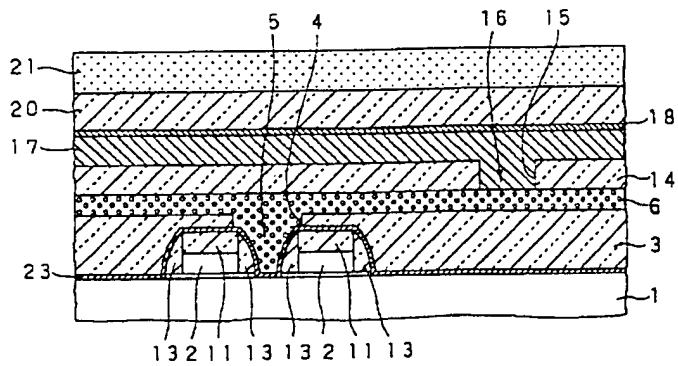
【図10】



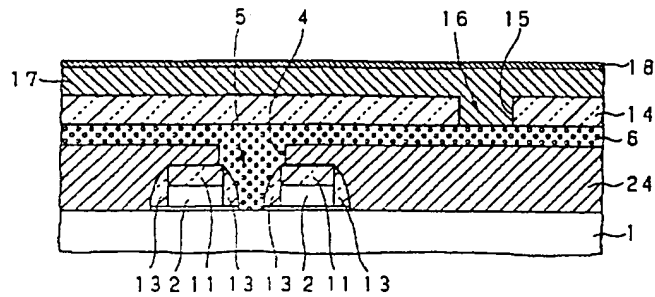
【図6】



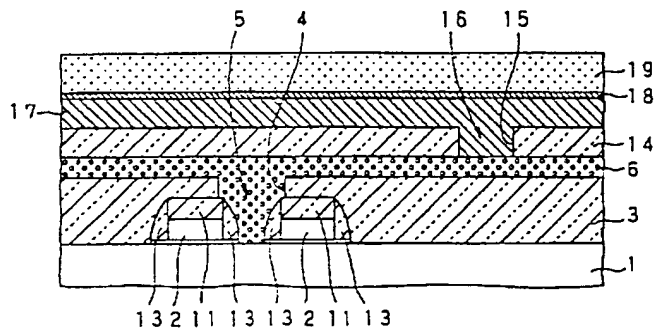
【図7】



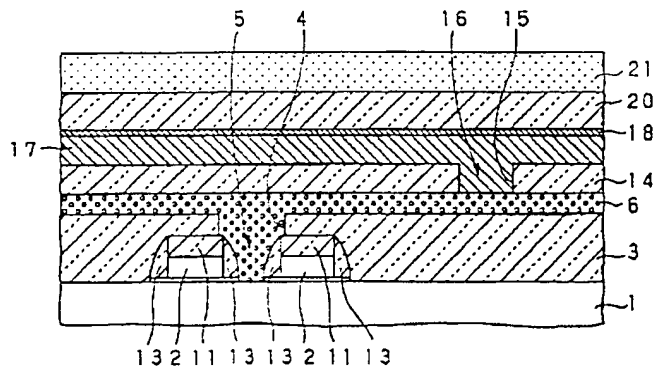
【図8】



【図12】



【図13】



【手続補正書】

【提出日】平成6年9月1日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正内容】

【0037】水素透過防止膜の成膜条件

成膜装置 : LP-CVD装置

原料ガス : SiH_2Cl_2 50 sccm NH_3 200 sccm

温度 : 760℃

圧力 : 70 Pa

反射防止膜の成膜条件

成膜装置 : 平行平板プラズマCVD装置

原料ガス : SiH_4 50 sccm N_2O 50 sccm

温度 : 360℃

圧力 : 333 Pa

RF電力 : 190W

電極間距離 : 1cm

その後、上述のウェハに対してフォトリソist塗膜12を全面に亘って塗布し、反射防止膜10によりタングステンシリサイド層9からの強い反射光を防止しながら、フォトリソist塗膜12の選択露光を行った。続いて、現像処理を施すことによりフォトリソist塗膜12を所望の形状にパターニングし、これをマスクとして、オフセット酸化膜11、反射防止膜10、水素透過防止膜22、タングステンシリサイド層9、ポリシリコン層8をエッチングした。これにより、図3に示されるように、*

*所望形状のゲート電極2が形成され、該ゲート電極2上では水素透過防止膜22、反射防止膜10、オフセット酸化膜11がゲート電極と共通パターンにパターニングされた。

【手続補正2】

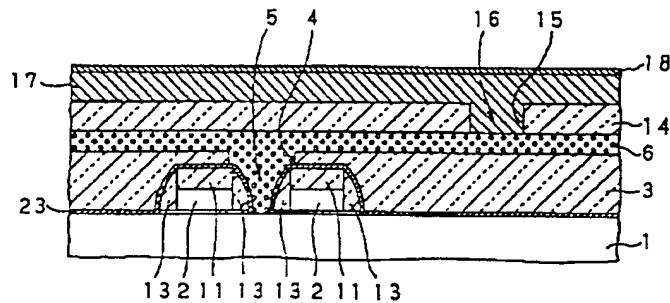
【補正対象書類名】図面

【補正対象項目名】図4

【補正方法】変更

【補正内容】

【図4】



【手続補正3】

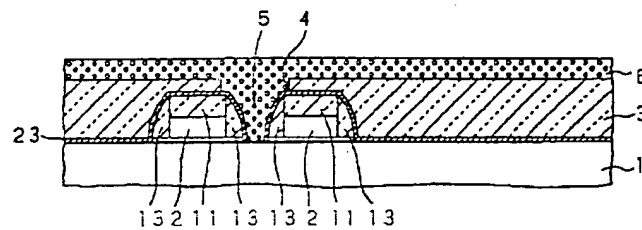
【補正対象書類名】図面

【補正対象項目名】図5

※【補正方法】変更

【補正内容】

※【図5】



【手続補正4】

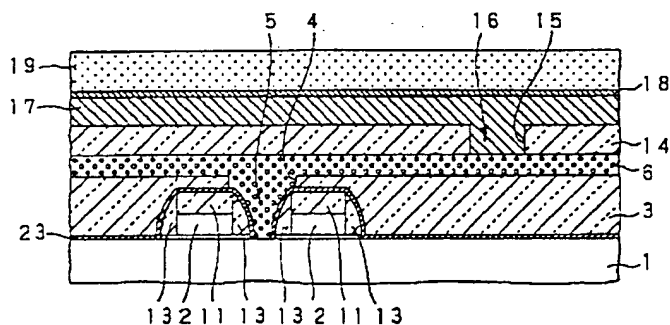
【補正対象書類名】図面

【補正対象項目名】図6

★【補正方法】変更

【補正内容】

★【図6】



【手続補正5】

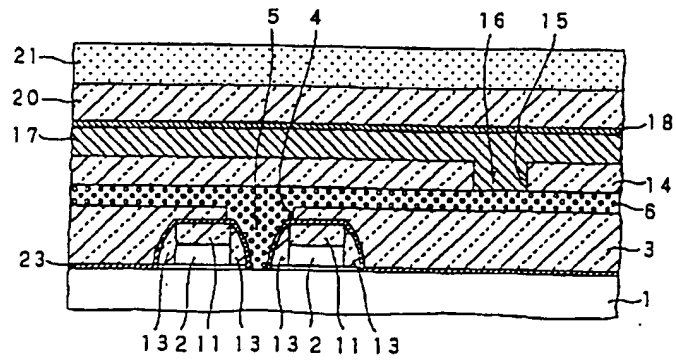
【補正対象書類名】図面

【補正対象項目名】図7

【補正方法】変更

【補正内容】

【図7】



フロントページの続き

(51)Int. Cl. ⁶

H01L 21/768

識別記号

庁内整理番号

F I

技術表示箇所

H01L 21/90

C

Public Patent Official Report (A)

(11) Publication number
08046186 A

(43) Date of publication of application: February 16, 1996

(51) Int. Cl.	Distinguished Number	Reference Number	F1
H01L 29/78			
H01L 21/28			
H01L 21/027			
H01L 21/3205			

Total page 8

(21) **Application number** 6-175526

(22) **Date of filing** July 27, 1994

(71) **Applicant** 000002185
Sony Corporation
6-7-35 Kitashinagawa,
Shinagawa-ku, Tokyo

(72) **Inventor** Masanori Tsukamoto
c/o Sony Corporation
6-7-35 Kitashinagawa,
Shinagawa-ku, Tokyo

(74) **Attorney** Akira Koike, et al

(54) **Invention**

Semiconductor Device

(57) **Abstract**

Purpose: To prevent hydrogen from being diffused into a gate insulating film with an antireflection film constituted of an SiOn thin film being kept existing by letting a gate electrode include a titanium layer.

Constitution: On an Si substrate 1 where element isolation regions 2 and a gate insulating film 3 are formed, a gate electrode 9 which is constituted of a polysilicon layer 4, a Ti layer 5 and a titanium silicide layer 6 which is put between the other two layers 4 and 5 is formed. On the gate electrode 9, an antireflection film 7 constituted of an SiOn system thin film is deposited in the same pattern as the gate electrode 9. Due to this structure, a hot carrier resistance is remarkably increased compared with the conventional MOS transistor which has no Ti layer 5 in the gate electrode 9. Therefore, even if the antireflection films 7, 18 which are constituted of SiOn system thin films are kept existing, hydrogen is prevented by the Ti layer 5 included in the gate electrode 9 from reaching the gate insulating film 3.

Coverage of patent

Claim 1

A semiconductor device whose substrate is constituted of a gate insulation film, a gate electrode, a nitrogen oxide silicon system thin film, and wiring system and its gate electrode contains a titanium layer.

Claim 2

This semiconductor device is characterized by containing a gate insulation film which is made from a silicon oxide system film on the substrate.

Claim 3

This semiconductor device is characterized by containing a gate electrode with a titanium silicide layer.

Claim 4

This semiconductor device is characterized by containing a nitrogen oxide silicon system thin film which is an antireflection film for patterning the gate electrode, and is laminated with the same pattern as the gate electrode.

Claim 5

The nitrogen oxide silicon system thin film in the claim 4 is an antireflection film for patterning the wiring system, and is laminated with the same pattern as the wiring system's.

Explanation

0001

Industrial use – This semiconductor device has patterning used by a nitrogen oxide silicon system thin film as an antireflection film. Therefore, it prevents from going bad, an electrical characteristic, due to hydrogen diffusion.

0002

Conventional technique – For wiring materials of semiconductor devices, aluminum (Al) system alloy or high melting point metal silicide are widely used. However, these materials are highly reflective and are required to put an antireflection film on the surface of the layers in order to improve the precision of photo lithography. As the design rules of semiconductor devices are regulated in detail, the exposure wavelength to the photo resist coating film has shifted to short wavelength side. On top of that, it is getting hard to obtain a stable resolution on these highly reflected materials because the size of the pattern is close to the exposure wavelength.

0003

Especially when a strong monochromatic light source such as the Excimer laser is used it is necessary to put an antireflection film because Standing Wave Effects change shape or width of wiring of the resist pattern.

0004

For the antireflection film, the use of a nitrogen oxide silicon (SiON) system thin film attracts a great deal of attention as it can control optic constant. The SiON system thin film can be produced by the plasma CVD method, and it is possible to be applied to the photo lithography using the Excimer laser because the optic constant is controllable by changing hydrogen contents in the film.

0005

Now, giving an example of an MOS transistor with the antireflection film. As in the chart 6, on a Si substrate 1, element isolation regions 2 and a gate insulation film 3 are formed. A gate electrode 109 constituted by a polysilicon layer 4 and a tungsten silicide layer 105 is formed above the film 3. The antireflection film 7 is formed on top and the sidewalls 10 are formed on both sides of the gate electrode 109. The antireflection film 7 is composed by a SiON system thin film. On the upper part, a SiO system interlayer insulation film 11 and Al system wiring layers 17 are arranged.

0006

The Al system wiring layers 17 electronically connect with the source/drain domains 12 on the Si substrate through the contact holes 13 of the SiO system interlayer insulation film. The Al system wiring layers 17 also electronically connect with the gate electrode 109 through a contact hole 14. Furthermore, a titanium (Ti) film 15 and a nitrogenous titanium (TiN) film 16 are arranged as the barrier metals on the lower layer of the Al system wiring layer 17, and an antireflection film which is composed by a SiON system thin film is arranged on the top of the Al system wiring layers 17.

0007

As mentioned above, for the MOS transistor, the antireflection film 7 is laminated with a common pattern of the gate electrode 109 and the antireflection film 18 is laminated with a common pattern of the Al system wiring layers 17.

0008

The antireflection film 7 is used in the photo lithography for patterning the gate electrode 109. To be more specific, after composing the polysilicon layer 4 and the tungsten silicide layer 105 on the Si substrate 1, the antireflection film 7 is made before constituting a photo resist coating film 8. Then the exposure for the photo resist coating film 8 is selected while the strong reflection lights from the tungsten silicide layer 105 are cut across. After the exposure selection and the developing process, the photo resist pattern is constituted. Making this pattern as a mask, the gate electrode 109 is able to be constituted to whatever the shape by etching the antireflection film 7, the tungsten silicide layer 105 and the polysilicon layer 4 (refer chart 7).

0009

In addition, because the antireflection film 7 exists after the patterning of the gate electrode 109, it is capable to cut across the reflection light from the tungsten silicide layer 105 again as photo lithographing for opening the contact holes 13 and 14 in the SiO system interlayer insulation layer 11.

0010

In this case, the antireflection film 7 is arranged to prevent the reflection lights from the tungsten silicide layer 105. In case of using the Excimer laser, which is a short wavelength light exposure, an antireflection film is also arranged when a gate electrode which is composed only by polysilicon layers is patterned for its highly reflection rates.

0011

On the other hand, the antireflection film 18 on the Al system wiring layers 17 has the same pattern as the layers 17, and it is used for the photo lithography for the patterning of the layer 17. As in the chart 8, after opening the contact holes 13 and 14 to the SiON system interlayer insulation film, a Ti film 15 and a TiN film 16 are made as barrier metals. In forming a photo resist coating film 19, the antireflection film 18 is made. Preventing strong reflection lights from the Al system wiring layers 17 by the antireflection film 18, the selection exposure to the photo resist coating film 19 is conducted. After the selection, using the photo resist pattern constituted in the developing process as a mask to etch the antireflection film 18, the Al system wiring layers 17, the Ti film 15 and the TiN film 16, the Al system wiring layer 17 are formed as shown in the chart 6.

0012

In addition, by existing of the antireflection film 18 after the patterning of the Al system wiring layers 17, a SiO system interlayer insulation film is formed. If the SiO system interlayer insulation film gets photo lithography for opening the beer hall, the antireflection film 18 once again prevents strong reflection lights from the Al system wiring layers 17.

0013

Problems to be solved – As mentioned above, the antireflection films 7 and 18 are also used for patterning of the material layers on the Al system wiring layers 17 after its patterning. Therefore, these antireflection films are used in the MOS transistor. However, a SiON system thin film which composes the antireflection films 7

and 18 contains 20 percent of hydrogen, and diffuses the hydrogen during the heating process of impurities such as active anneal. The diffused hydrogen may decay the tolerance of "hot carrier" when it reaches the gate insulation film 3.

0014

To prevent this, one possible way is to etch removal whenever the antireflection film is used. However, in that case, it may be difficult to get the selection rate between the antireflection film and the material layers beneath the film, or it is necessary to produce an antireflection film every time the photo lithography occurs because the same antireflection film can be used only once.

0015

So, this device is invented to solve such problems and has a structure that is possible to prevent hydrogen diffusion to a gate insulation film with existence of an antireflection film which is composed by a SiON system thin film.

0016

Steps to solve the problems – This semiconductor device is invented to solve the problems mentioned above, and has a substrate constituted by at least a gate insulation film, a gate electrode, a SiON system thin film and an upper wiring layer. The gate electrode of this semiconductor device contains a Ti layer, which works well especially when a gate insulation film which is composed by a SiO system material film is constituted on the Si substrate.

0017

Usually, a gate electrode is composed by either polysilicon layers or amorphous layers and high melting point metal silicide is laminated for low resistance. The gate electrode in this device is constituted by a Ti layer which is laminated on top of either polysilicon layers or amorphous layers. Because the Ti layer is a conductive material it works as a part of the electrode. However, it also works as a trap to prevent reaching hydrogen to the gate insulation film as the Ti layer absorbs the hydrogen diffused from the SiON system thin film.

0018

The titanium silicide layer is preferred to be contained in the gate electrode. If the titanium silicide layer is arranged on top of a polysilicon layer or an amorphous layer, the gate electrode becomes polycide constitution which keeps resistance low.

0019

To constitute a titanium silicide, it is possible to use CVD to make a film as titanium silicide layers. But it is easy to make a Ti film on the polysilicon layer or the amorphous layer, and to do the Ti silicidation on both layers' surfaces after the heating process. In this process, there is no productivity problem compared to the process of the gate electrode with normal polycide constitution. Nevertheless, it is necessary to regulate the thickness of the film and the condition of the heating process to prevent consuming the polysilicon layers or the amorphous layers and the Ti layers when the silicidation is conducted.

0020

Now, when a SiON system thin film is produced with the plasma CVD, the optical invariable can be controlled as atomic formation rate can be adjusted based on the rate of gas flow. Therefore, when the SiON system thin film with the appropriate thickness is arranged as an antireflection film, it is possible to get the right exposure according to the underneath layer or the light.

0021

For the photo lithography to fully patterning the gate electrode, it is convenient to use a SiON system thin film as an antireflection film to prevent the reflection light from the material layers composing the gate electrode. If the antireflection film is retained after the photo-lithography, the film will be laminated with the same pattern

as the gate electrode.

0022

For the photo lithography in order to patterning the upper wiring, it is very convenient to use a SiON system thin film as an antireflection film to cut across strong reflection lights from the upper wiring. If the antireflection film is retained after the photo lithography, the film is laminated with a common patterning as the upper wiring's. If the photo lithography for patterning the interlayer insulation film is conducted on the upper wiring, the retained antireflection film cuts across the reflection light from the upper wiring again.

0023

Nevertheless, if a Ti film is arranged as a barrier metal at forming of the upper wiring, the amount of hydrogen from the SiON system thin film to the gate insulation film is very little, because the Ti film absorbs hydrogen.

0024

Effect – Because the Ti layer absorbs hydrogen in nature, it is difficult for hydrogen to reach the gate insulation film when this device is applied and the Ti layer is used as part of the gate electrode. The hydrogen is diffused from the SiON system thin film arranged above the gate electrode. Therefore, the Ti layer increases the reliability of the semiconductor device even though the gate insulation film is made from the SiON system materials because the film develops hot carrier resistance.

0025

If the gate electrode contains titanium silicide layers, it is possible to have relatively low resistance.

0026

This semiconductor device never gets inferior in quality of hot carrier resistance in any ways when the SiON system thin film is used as the antireflection film. The reasons are following.

0027

In the gate film it is important to control the film quality in the area which is connected to a channel domain. The channel domain is constituted between the source domain and drain domain, so it is controlled depending on the extent of the both domains. Usually, both domains are organized when impurities are put into a substrate and then they are activated and diffused. Therefore, the channel domain exists relatively inside the edge of the gate electrode. In this semiconductor device, because a Ti layer has the same patterning as the gate electrode's, a gate insulation film which connects to the channel domain is protected by hydrogen from the SiON system thin film on the gate electrode and the SiON system thin film on the upper wiring layer. If the quality of the gate insulation film is maintained well, it is possible to improve the hot carrier resistance.

0028

Example – Examples are given referring to the charts.

0029

This semiconductor device is applied to the MOS transistor and has a construction that prevents hydrogen to reach the gate insulation film from the SiON system thin film used as the antireflection film.

0030

As in the chart 1, this MOS transistor has a Si substrate 1 which is constituted by an element isolation region 2 and the gate insulation film 3. On the substrate, a poly-silicon layer 4 and a Ti layer 5, and a gate electrode 9, which is composed by titanium polycide layers arranged between the poly-silicon layers 4 and the Ti layers 5, are formed. The gate electrode 9 is laminated with an antireflection film 7 which is made from the SiON system thin film with the same patterning as the gate electrode's. The sidewalls 10 are arranged on the both surfaces of the gate electrode. In addition, a SiO system interlayer insulation film 11 and Al system wiring layers 17 are arranged on top of the gate electrode. The Al system wiring layers 17 are electronically connected to the source/drain domains 12 through the contact hole 13. The layer 17 also electronically

connects to the gate electrode 9 through the contact hole 14.

0031

A Ti film 15 and a TiN film 16 are arranged underneath the Al system wiring layer 17 as barrier metals. An antireflection film 18 made from the SiON system thin film is laminated on the layer 17. The antireflection film 18 has the same patterning as the layer 17's.

0032

According to the special quality check, this MOS transistor has much superior hot carrier resistance to the current MOS transistor whose gate electrode does not contain the Ti layer 5. Based on this factor, it is found that the Ti layer 5 in the gate electrode 9 prevents hydrogen to the gate insulation film 3 even though the antireflection film 7 is retained.

0033

The production process of the above MOS transistor is referred to the chart 2 through 5.

0034

As in the chart 2, a poly silicon layer 4, an N-shaped constitution material layer of the gate electrode 9, with a titanium silicide layer 6 and a Ti layer 5 are formed on the Si substrate which is constituted by element isolation region 2 and the gate insulation film 3. The antireflection film 7 and a photo resist coating film 8 are added on top.

0035

In details, the thickness 270 nm of the element isolation region 2 is constituted with the selection oxidization in the LOCOS method, and the gate insulation film 3 is constituted by heat oxidization of 850 C under H₂ gas and O₂ gas. Then, the poly silicon layer 4 is made with the thickness 70 nm by the CVD at 550 C with SiH₄ and PH₃ gas. And the Ti layer 5 is made with thickness from 30 to 100 nm by sputtering.

0036

A titanium silicide layer 6 is formed by the Ti's silicidation on the interface between a poly silicon layer 4 and a Ti layer 5 from the Rapid Thermal Anneal (RTA) at 600 C for 30" and at 800 C for 20". Then an antireflection film 7, which is constituted by the SiON system thin film is made over the Ti layer 5 by the plasma CVD using SiH₄ and N₂O at 360 C. The photo resist coating film 8 is formed after that. Now, the optic constant of the antireflection film 7 is set at 2.10 for the actual number n in the complex refractive index, and at 0.62 for the coefficient k in the imaginary number.

0037

As in the chart 3, the patterning of the gate electrode 9 is conducted. In detail, a selection exposure for the photo resist coating film 8 is conducted with 248 nm of wavelength exposure light while the antireflection film 7 prevents the strong reflection lights from the Ti layer 5. Then Reactive Ion Etching (RIE) is conducted to the antireflection film 7, the Ti layer 5, the titanium silicide layer 6 and the poly silicon layer 4 with the photo resist pattern which is formed through the developing process. Based on this, the gate electrode 9 is constituted with a desired configuration pattern. The antireflection film 7 is not removed and is kept on the gate electrode 9.

0038

As in the chart 4, the formation of the side wall 10 and the SiO system interlayer insulation film 11 follows. The side wall 10, which covers the both surfaces of the gate electrode 9, is formed by anisotropic etching after filming a 150 nm of the SiO₂ layer by CVD. Then, the SiO system interlayer insulation film 11 with thickness of 300 nm is made by CVD.

0039

As in the chart 5, the Al system wiring layers 17 which electronically connect to the source/drain domains 12,

and the gate electrode 9 is constituted.

0040

First of all, the contact hole 13 to the source/drain domains 12 and the contact hole 14 to the gate electrode 9 are opened by photo lithography and etching to the SiO system interlayer insulation film 11. The antireflection film 7 is also used for the photo lithography to prevent the reflection light from the Ti layer 5.

0041

Subsequently, a Ti film 15 with thickness 30 nm and a TiN film 16 with thickness 70 nm are formed by sputtering as if inside of the contact holes 13 and 14 are covered from the surface of wafer. Then the thickness 300 nm of the Al system wiring layers 17 with 1 percent of Si is made by sputtering as the inside of the contact holes 13 and 14 are filled in. The photo resist coating film 18 is formed after the antireflection film 18 with the thickness 23 nm on the Al system wiring layers 17 in the same way of forming the antireflection film 7 on the gate electrode. The optic constant for the antireflection film 18 is set at 2.16 for the actual number n in the complex refractive index, and at 0.875 for the coefficient k in the imaginary number.

0042

The selection exposure for the photo resist coating film 19 is conducted with 248 nm of exposing light while the antireflection film 18 prevents strong reflection lights from the Al system wiring layer 17 to the wafer, and the photo resist coating film 19 is constituted with a desired configuration pattern after the developing process. The Al system wiring layers 17 are constituted with a desired configuration pattern by etching the antireflection film 18, the Al system wiring layers 17, the Ti film 15 and the TiN film 16 with RIE. Then, the photo resist coating film 19 is removed and annealing is conducted at 400 C in N₂ gas which contains 2 percent of H₂ gas. The MOS transistor is completed as shown in the chart 1.

0043

Now, because the antireflection film 18 is not removed, it is kept on the Al system wiring layer 17. The film also prevents the reflection lights when the patterning for opening the beer hall to the SiO system interlayer insulation film.

0044

The application of this semiconductor device is not limited to the above examples and it is possible to change to other usage. Because the Ti layer 5, which absorbs hydrogen diffused from the antireflection film, is constituted as part of the gate electrode 9, the antireflection film can be kept in any positions as long as it is above the Ti layer 5. The position of the antireflection film is not limited on the gate electrode 9 or on the Al system wiring layers 17. Of course, if the antireflection film 7 is not necessary for the patterning the gate electrode 9 as the size of the pattern is big, the film does not have to be put on such position. Also the constitution of the wafer and the condition of filming are not limited to the above examples. For example, it is possible to make an amorphous silicon layer instead of a poly silicon layer in the gate electrode 9.

0045

Effect - With this semiconductor device, because hydrogen diffused from the SiON system thin film hardly reaches the gate insulation film, the hot carrier has strong resistance of keeping the SiON system thin film. In other word, the hot carrier of this semiconductor device has superior in resistance to that of the conventional semiconductor device.

0046

The titanium layer, constituting a part of the gate electrode, can be formed easily on the interface between the Ti layer and the poly silicon layer or the amorphous silicon layer by heating process. Therefore, the titanium layer keeps the gate electrode's resistance low by forming the titanium silicide layer.

0047

In addition, because this semiconductor device prevents inferiority of hot carrier resistance for retaining the

SiON system thin film, the removal process for the SiON system thin film can be eliminated in the production process. The productivity is also good because the SiON system thin film can be recyclable to the next photo lithography by retaining the SiON system thin film.

0048

Applying this invention, it is possible to supply a very reliable semiconductor device without huge cost increasing. This invention has a high industrial value.

Explanation of the chart

Chart 1 – A cross section of the device.

Chart 2 – Showing the wafer process of the chart 1; formation of the titanium layer on the interface between the poly silicon layer and the Ti layer, and formation the antireflection film. It also shows the formation of the photo resist coating film.

Chart 3 – A cross section of the patterning the gate electrode.

Chart 4 – A cross section of the formation of side wall, source/drain domains, the SiO system interlayer insulation film.

Chart 5 – A cross section of the formation of the Al system wiring layer electronically connecting to the gate electrode and the source/drain domains.

Chart 6 – A cross section of the conventional semiconductor device.

Chart 7 – Production process of wafer, filming the poly silicon layer and tungsten silicide layer and the antireflection film, and forming the photo resist coating film.

Chart 8 – A cross section of the formation source/drain domains and the SiO system interlayer insulation film at the wafer, and formation the Al system wiring layer which electronically connects to the gate electrode and source/drain domains.

Code:

- 1 Si substrate
- 2 Element isolation region
- 3 Gate insulation film
- 4 Poly-silicon layer
- 5 Ti layer
- 6 Titanium silicide layer
- 7, 18 Antireflection film
- 8, 19 Photo resist coating film
- 10 Side wall
- 11 SiO system interlayer insulation film
- 12 Source/drain domain
- 13, 14 Contact hole
- 15 Ti film
- 16 TiN film
- 17 Al system wiring layer